

⑫ 公開特許公報 (A) 平3-205985

⑬ Int. Cl.⁵H 04 N 7/13
G 06 F 15/16
15/66

識別記号

府内整理番号

Z 6957-5C
Z 6945-5B
K 8419-5B

⑭ 公開 平成3年(1991)9月9日

審査請求 未請求 請求項の数 4 (全22頁)

⑮ 発明の名称 マルチプロセッサ型動画像符号化装置及びバス制御方法

⑯ 特願 平2-95310

⑰ 出願 平2(1990)4月10日

優先権主張 ⑯ 平1(1989)5月10日 ⑯ 日本(JP) ⑯ 特願 平1-117109

⑯ 平1(1989)5月17日 ⑯ 日本(JP) ⑯ 特願 平1-123329

⑯ 平1(1989)9月27日 ⑯ 日本(JP) ⑯ 特願 平1-251047

⑯ 平1(1989)10月19日 ⑯ 日本(JP) ⑯ 特願 平1-274404

⑱ 発明者 浅野 研一 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社通信システム研究所内

⑲ 発明者 鈴木 隆太 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社通信システム研究所内

⑳ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代理人 弁理士 大岩 増雄 外2名

明細書

1. 発明の名称

マルチプロセッサ型動画像符号化装置及びバス制御方法

2. 特許請求の範囲

(1) 符号化プログラムにしたがって符号化を実行するディジタル信号処理用の単位プロセッサ、前記単位プロセッサとローカルバスを介して接続されたローカルメモリ、および制御バスから送られる割り込み信号を調停して前記単位プロセッサに受け渡すと共に前記単位プロセッサのアドレスとデータを前記ローカルバスを介して受けとてこれをコードして割り込み信号を発生して前記制御バスに送出する割り込み制御部からなり、各々が並列に配置された複数の単位プロセッサモジュールと、

独立して設けられた複数のメモリバスを介して前記複数の単位プロセッサモジュールそれぞれに接続された局部復号データまたは符号化途中のデータおよびパラメータを記憶する複数の共有メモ

りと、

複数バッファ構成で一面は入力データを書き込む回路に解放されかつ他面は前記単位プロセッサモジュールに解放されて書き込みと読み出しが非同期で行える入力フレームメモリと、

前記単位プロセッサモジュール個々の処理タスク内容に関する過去の履歴、現在の状況及び今後の予測等が格納されたタスクテーブルと、

画像を複数のブロックに分割し、前記タスクテーブルを参照して各前記単位プロセッサモジュールに対する最適な処理ブロックおよび処理タスクを判定し、前記単位プロセッサモジュールに前記制御バスを介して前記処理ブロック位置および前記処理タスク内容をコマンドで指示することにより、前記複数の単位プロセッサモジュールに略々均等に前記処理タスクを分担させて符号化を行うタスク制御部とを備えたマルチプロセッサ型動画像符号化装置。

(2) ディジタル信号処理用の2個以上の単位プロセッサが時分割で单一のメモリバスを介して

アクセス可能な共有メモリに接続されている場合におけるメモリバスの制御方法であって、

前記各単位プロセッサは、処理終了より一定時間前に前記共有メモリに対するアクセス要求を発するようにし、これに対し優先順位の最も高い前記単位プロセッサから順に前記アクセス要求を認めるようにしたことを特徴とするバス制御方法。

(3) 1画面上の特定の画面位置領域を分担し、入力画像信号の前記特定の画面位置領域に対応する部分画像信号を取込んで信号処理を行ったのち出力バスに送出するディジタル信号処理用の複数の単位プロセッサを有し、該単位プロセッサは他の単位プロセッサの信号処理済信号を近傍処理のための入力画像補助信号として取込み可能であるマルチプロセッサ型動画像符号化装置において、

前記単位プロセッサの各々が互いに連続しない複数の画面位置領域を分担し、全単位プロセッサが分担する画面位置領域の入力部分画像信号を取込んだ後、入力部分画像信号および入力画像補助信号の信号処理を一斉に開始することを特徴とす

〔産業上の利用分野〕

この発明は、複数の単位プロセッサに処理タスクを分担させてロック単位で符号化を行うマルチプロセッサ型動画像符号化装置に関する。

〔従来の技術〕

第19図は例えば PCS '88 P15.2 "ARCHITECTURE OF A FULL MOTION 64KB/S VIDEO CODEC" に記載されている従来のマルチプロセッサ型動画像符号化装置（以下、「従来例1」と称する場合もある）の構成を示すブロック図である。同図に示すように、CPU1に連係するVMEバス5には、共有メモリ2と単位プロセッサ（ディジタル信号処理プロセッサ）3a～3hが接続されている。各単位プロセッサ3a～3hにはローカルメモリ4a～4hが設けられ、この各ローカルメモリ4a～4hと共有メモリ2とは、メモリバス6によって連係されている。そして、それぞれ共有メモリ2には入力データ100が入力され、CPU1には伝送データ101が入出力されるようになっている。

るマルチプロセッサ型動画像符号化装置。

(4) 入力バスに入力される入力部分画像信号をフレーム単位で取り込む取込部と、前記入力部分画像信号に対して符号化／復号化処理を行う処理部と、前記処理部における部分符号化の処理結果である符号化／復号化済部分画像信号を出力する出力部と、前記符号化／復号化済部分画像信号を格納する格納部とから構成された複数の単位プロセッサを備えたマルチプロセッサ型動画像符号化装置において、

前記各単位プロセッサにおける前記取込み、処理、格納および出力を制御する制御部と、

前記符号化／復号化済部分画像信号を前記格納部に格納するときに、次フレームの処理に必要となるこの符号化／復号化済部分画像信号の一部を自己の前記単位プロセッサおよび他の前記単位プロセッサのうち少なくとも1つから読み書き可能に格納する共用格納部とを備えたことを特徴とするマルチプロセッサ型動画像符号化装置。

3. 発明の詳細な説明

なお、本システムは単位プロセッサによる並列構成をとり、固定の画像領域分割処理を行うようになっている。

第19図において、8個の単位プロセッサのうち6個の単位プロセッサを輝度信号担当単位プロセッサとし、画像を垂直な線で均等に6分割して各単位プロセッサの分担領域とし、2個の単位プロセッサを2種の色差信号担当単位プロセッサとし、各単位プロセッサは自己の担当領域の符号化処理を行うようになっている。

また、通常、動画符号化は、画像フレームをL個（Lは1以上の整数、第20図の例では3）の領域に分割し、すでに符号化済みのi番目の領域までの発生情報量を元にしてi+1番目の領域の符号化制御パラメータ（TCR）を設定するといったフィードバック制御を行っており、第20図に画像フレームの単位プロセッサの領域分割およびフィードバック制御の領域分割を示す。なお、第20図は説明を簡単にするために3個の単位プロセッサを用いて3領域に分割してフィードバ

ク制御を行い、輝度信号のみを符号化する場合の例であり、画像フレームを単位プロセッサごとにA, B, Cの3領域に分割し、さらにそれぞれの領域をA1～A3, B1～B3, C1～C3の3領域に分割している。

次に動作について説明する。

入力データ100は共有メモリ2に1フレーム分だけ書き込まれる。

そして、CPU1は8個の単位プロセッサ3a～3hに順次転送を指示し、各単位プロセッサ3a～3hは共有メモリ2からメモリバス6を介して自己の担当領域の入力データと自己の担当領域の符号化で必要な領域の過去において既に符号化済みのフィードバックデータとを自己のローカルメモリ4a～4hにそれぞれ転送する。

それから、転送が終了した単位プロセッサ3a～3hは次に自己の最初の担当領域を処理単位のブロックに分割し、各ブロックに対して予め定められた順序に従って複数種類の処理タスクを順次実行し、符号化データをVMEバス5を介してC

PUIに転送し、符号化データを局部復号してフィードバックデータを作成し、メモリバス6を介して共有メモリ2へ転送する。

このようにして、最初の担当領域の処理が終了した単位プロセッサ3a～3hはCPU1から次の領域の処理開始指示があるまで待ち状態となる（第21図に示すように、全単位プロセッサ#1～#3の一連のタスク処理（T1, T2）が終了するまで、次の処理が行なえない）。

そして、CPU1は、各単位プロセッサ3a～3hからVMEバス5を介して符号化データを受取り、該データを伝送フォーマットに従った順序で再構成し、多重情報を付加して伝送データ101を作成して伝送路に送出し、更に各単位プロセッサ3a～3hの担当処理領域の処理終了を監視し、全ての単位プロセッサ3a～3hが担当処理領域の処理を終了したことを検知すると、各単位プロセッサ3a～3hに次の処理領域の処理開始を指示する。

ところで、本例のような固定の領域分割型並列

処理の場合でも、ある分割領域の処理開始時に各単位プロセッサ3a～3hが入力データを共有メモリ2から自己のローカルメモリ4a～4hに転送する時や、各単位プロセッサ3a～3hが自己の担当領域の処理を終了し、フィードバックデータをローカルメモリ4から共有メモリ2に転送する時にはメモリバス6においてバス競合が生じ、この時には各単位プロセッサ3a～3hは、共有メモリアクセス指示を受取るまで待ち状態となる。

さらに、演算量に応じて、並列構成の各単位プロセッサ3a～3hに可変の領域とタスクを随時割振るといったタスク分散型並列処理の場合はなおさら、タスクの終了ごとに共有メモリアクセス要求を出していたのでは、単位プロセッサ3a～3hの並列数が増加するのに伴って頻繁に上記バス競合が生じ、単位プロセッサ3a～3hの処理効率が低下することになる。

以上が従来例1のマルチプロセッサ型動画像符号化装置についての説明である。

第22図は、特開昭62-86464号公報に

記載された従来のマルチプロセッサ型動画像符号化装置（以下、「従来例2」と称する場合もある）の構成図である。このマルチプロセッサ型動画像符号化装置は、1画面（フレーム）を、例えば第23図に示す如く複数個の区分画面A～Cに区分し、各区分画面A～Cに1台ずつの単位プロセッサ（単位シグナルプロセッサ）を割当て複数個の単位プロセッサで並列的に画像信号を処理することにより動画像信号（テレビ信号等）の高能率符号化を目指したものである。

第22図において、51はテレビ信号等の入力画像信号（以下、TV信号入力という）の入力バス、52は符号化・復号化済部分画面信号のフィードバックバス、53は符号化結果の出力バス、41～43は単位プロセッサであり、それぞれ上記区分画面A～Cを分担して処理する。単位プロセッサ41～43は内部に取り込み部55、処理部56および出力部57を備えている。この取り込み部55は担当する区分画面領域の取り込み指令に同期して入力バス51から担当する区分画面領域の

人力画像信号（部分画像信号）を、フィードバックバス $\#2$ から近傍処理のための後述する符号化・復号化済信号を取り込んで記憶する。なお、近傍処理については、特開昭62-266678号に開示された手法がある。処理部 $\#6$ はこの記憶された画像データに対して符号化／復号化等の処理を行う。出力部 $\#7$ は次回の取り込み信号に同期して処理部 $\#6$ での処理結果としての符号化信号を出力バス $\#3$ に送出するとともに上記した符号化・復号化済信号を人力画像補助信号としてフィードバックバス $\#2$ を通じ他の単位プロセッサへ送出する。

次に動作について説明する。ここでは説明の都合上画面全体を3分割し、3個の単位プロセッサで処理する場合を示し、従って、画面は第26図に示す如く部分画面A～Cに分割し、各々が $\#1$ ～ $\#3$ に対応する単位プロセッサ $\#1$ ～ $\#3$ に対応するものとする。

まず、入力バス $\#1$ 上には部分画面A～Cに対応するテレビ信号としての入力部分画面信号S 1

信号S 1 ～S 3 より広い範囲の信号が必要となる。また、符号化／復号化済部分画面信号F 1 ～F 3 が出力部 $\#7$ よりフィードバックバス $\#2$ に出力され、第27図に示す取り込み動作タイミングに合わせて取込部 $\#5$ に取り込まれ、記憶される。この時、入力部分画面信号S 1 ～S 3 より広い範囲のデータを取り込むため、取り込み時間が1時間だけ長くなっている。このように、割り当てられた部分画面よりも広い範囲の符号化／復号化済部分画面信号F 1 ～F 3 を取り込みながら符号化処理を実行し、出力バス $\#3$ に信号O 1 ～O 3 を出力している。

第24図および第25図は各バス上の信号に対する各単位プロセッサ $\#1$ ～ $\#3$ の信号取り込み時間と処理時間との関係を第27図より簡略して示したもので、説明を簡素にするために、区分画面A～Cを担当する単位プロセッサを $\#1$ ～ $\#3$ で示してある。

第24図においては、各単位プロセッサ $\#1$ ～ $\#3$ が画像信号に対する符号化／復号化等処理時

～S 3 が第27図に示すように時間的に連続して流れ。そして、例えば $\#1$ の単位プロセッサ $\#1$ は第27図に示すような取り込み動作タイミングに合わせて、入力バス $\#1$ 上の $\#1$ の入力部分画面信号S 1 を取込部 $\#5$ に取り込んで記憶する。ここで、各入力部分画面信号S 1 ～S 3 はF(自然数)枚/秒の一定の速度で入力される。このため、取り込んだ各入力部分画面信号S 1 ～S 3 の処理は、次回の入力部分画面信号S 1 ～S 3 の取り込み迄に終了する必要がある。

一方、処理結果として得られる部分符号化信号は、次回の取り込みと同時に出力バス $\#3$ に出力される。また、画像の高能率符号化技術としてしばしば適用される動き補償フレーム間符号化方式においては、入力画像Pと1画面分前の復号画面中で動きの分だけ画面上の位置がずれた、第28図に示すような画像Qとの差をとって符号化を行う。そこで符号化処理のためには、動きの分だけ領域の広がった符号化／復号化済画面が必要となる。このように符号化のためには、入力部分画面

間の合計が入力バス $\#1$ 上の1画像フレームの入力周期以下となっているので上記処理は停滯にならず繰り返されるが、1画像フレームの一部が他画像部分より動きのある画面であるような場合、例えば該一部分を担当する単位プロセッサ $\#2$ における処理時間が第25図に斜線で示すように他の単位プロセッサ $\#1$ 、 $\#3$ の処理時間より長くなり、単位プロセッサ $\#1$ 、 $\#3$ に待機時間が生じる。

以上が従来例2のマルチプロセッサ型動画像符号化装置についての説明である。

【発明が解決しようとする課題】

従来例1のマルチプロセッサ型動画像符号化装置は以上の様に構成されていたので、動画像符号化のように処理に要する演算量が空間的、時間的变化によって極端に変動する場合（第21図参照）、分担領域の処理が終了した単位プロセッサは他の全ての単位プロセッサが処理を終了するまで待たねばならず、単位プロセッサ当たりの処理効率が低いという問題点があった。従って、単位プロセッサの並列数は担当領域の最大処理量を想定し

て設計しなければならず、並列数が極めて多くなること、並列数の増加に伴って処理のオーバーヘッドも増加すること、タスクにより処理ブロックサイズが異なる場合は最大ブロックサイズよりも細かく分割して単位プロセッサに割り当てられないために単位プロセッサの並列数に限界があること、並列数が少ない場合にはローカルメモリの容量が大きくなること、フィードバックがかけづらいこと等の問題点があった。

また、共有メモリアクセスが必要となった時点で共有メモリアクセス要求を出すため、2個以上のプロセッサから同時に共有メモリアクセス要求が出たときにバス競合が生じ、使用許可が与えられなかつたプロセッサは、許可が与えられるまで何ら動作を行えない事になり、バスネックによる処理効率の低下を招いてしまうという問題点があった。例えば 16×16 画素からなる画像を1処理単位とした動き補償及び離散コサイン変換符号化を行うためには約1400ワードものデータ転送が必要であり、かなり高い確率でバスネックが

生じてしまう。

一方、従来例2のマルチプロセッサ型動画像符号化装置は以上の様に構成されていたので、単位プロセッサ41～43の処理時間が一定時間1/F以内におさまることを前提とした一種のパイプライン処理を実行し、このため高能率符号化のような画像処理においては、処理時間が入力画像に依存して変化するが、上記のように処理時間の最長値を基本として画面の分割数を設定しなければならない。ところが単位プロセッサ#1～#3が担当する区分画面が連続していると1画像フレームに画像性質の局所的な偏り（処理すべきデータ量の疎密）が発生する場合があり、その偏りが1つの単位プロセッサの扱う画像信号に集中的に現れるため、処理時間の最長値を低下させることは困難である。したがって、平均的処理時間が最長値よりかなり短い場合でも、分割数を削減できず、結局単位プロセッサ41～43を多数用意する必要があるなどの問題点があった。また、単位プロセッサの数を増やすと画像処理プロセッサが高価

になるという別の問題も発生する。

この発明は上記のような問題点を解消するためになされたもので、複数の単位プロセッサからなるマルチプロセッサの処理能力を最大限に利用することができるマルチプロセッサ型動画像符号化装置を得ることを目的とする。

〔課題を解決するための手段〕

この発明に係る請求項1記載のマルチプロセッサ型動画像符号化装置は、符号化プログラムにしたがつて符号化を実行するディジタル信号処理用の単位プロセッサ、前記単位プロセッサとローカルバスを介して接続されたローカルメモリ、および制御バスから送られる割り込み信号を調停して前記単位プロセッサに受け渡すと共に前記単位プロセッサのアドレスとデータを前記ローカルバスを介して受けとつてこれをデコードして割り込み信号を発生して前記制御バスに送出する割り込み制御部からなり、各々が並列に配置された複数の単位プロセッサモジュールと、独立して設けられた複数のメモリバスを介して前記複数の単位プロ

セッサモジュールそれに接続された局部復号データまたは符号化途中のデータおよびパラメータを記憶する複数の共有メモリと、複数バッファ構成で一面は入力データを書き込む回路に解放されかつ他面は前記単位プロセッサモジュールに解放されて書き込みと読み出しが非同期で行える入力フレームメモリと、前記単位プロセッサモジュール個々の処理タスク内容に関する過去の履歴、現在の状況及び今後の予測等が格納されたタスクテーブルと、画像を複数のブロックに分割し、前記タスクテーブルを参照して各前記単位プロセッサモジュールに対する最適な処理ブロックおよび処理タスクを判定し、前記単位プロセッサモジュールに前記制御バスを介して前記処理ブロック位置および前記処理タスク内容をコマンドで指示することにより、前記複数の単位プロセッサモジュールに略々均等に前記処理タスクを分担させて符号化を行うタスク制御部とを備えて構成されている。

そして、請求項2記載のバス制御方法は、ディ

ジタル信号処理用の2個以上の単位プロセッサが時分割で单一のメモリバスを介してアクセス可能な共有メモリに接続されている場合におけるメモリバスの制御方法であって、前記各単位プロセッサは、処理終了より一定時間前に前記共有メモリに対するアクセス要求を免するようにし、これに対し優先順位の最も高い前記単位プロセッサから順に前記アクセス要求を認めるようにしている。

また、請求項3記載のマルチプロセッサ型動画像符号化装置は、1画面上の特定の画面位置領域を分担し、入力画像信号の前記特定の画面位置領域に対応する部分画像信号を取込んで信号処理を行ったのち出力バスに送出するディジタル信号処理用の複数の単位プロセッサを有し、該単位プロセッサは他の単位プロセッサの信号処理済信号を近傍処理のための入力画像補助信号として取込み可能で前記単位プロセッサの各々が互いに連続しない複数の画面位置領域を分担し、全単位プロセッサが分担する画面位置領域の入力部分画像信号を取込んだ後、入力部分画像信号および入力画像

化装置においては、タスク制御部により、画像を複数のブロックに分割し、単位プロセッサを制御するために必要な情報が格納されたタスクテーブルを参照して各単位プロセッサモジュールに対する最適な処理ブロックおよび処理タスクを判定し、複数の単位プロセッサモジュールに略々均等に処理タスクを分担させて符号化を行って待ち時間を短くしている。また、局部復号データまたは符号化途中のデータおよびパラメータを記憶する複数の共有メモリは独立して設けられた複数のメモリバスを介して前記複数の単位プロセッサモジュールそれぞれに接続されおり共有メモリのアクセスに複数のメモリバスが利用可能であるため、共有メモリへのアクセス時にバスネットワークが生じない。

請求項2記載のバス制御方法においては、各単位プロセッサは常に前の処理を終了するよりも一定時間前にバス使用要求を出すため、バス使用要求出力時にバス競合が起った場合でも、その単位プロセッサは待ち状態とはならず、前の処理の続きを実行するので、プロセッサの処理効率が低下

補助信号の信号処理を一齊に開始する。

さらに、請求項4記載のマルチプロセッサ型動画像符号化装置は、入力バスに入力される入力部分画像信号をフレーム単位で取り込む取込部と、前記入力部分画像信号に対して符号化／復号化処理を行う処理部と、前記処理部における部分符号化の処理結果であるを符号化／復号化済部分画像信号を出力する出力部と、前記符号化／復号化済部分画像信号を格納する格納部とから構成された複数の単位プロセッサを備えており、前記各単位プロセッサにおける前記取込み、処理、格納および出力を制御する制御部と、前記符号化／復号化済部分画像信号を前記格納部に格納するときに、次フレームの処理に必要となるこの符号化／復号化済部分画像信号の一部を自己の前記単位プロセッサおよび他の前記単位プロセッサのうち少なくとも1つから読み書き可能に格納する共用格納部とを設けたものである。

【作用】

請求項1記載のマルチプロセッサ型動画像符号

しない。

請求項3記載のマルチプロセッサ型動画像符号化装置においては、1つの単位プロセッサが複数の区分画面の画像信号を担当し、かつ区分画面が互いに連続しない離れた領域であるため、1画像フレームに画像性質の局所的な偏りが1つの単位プロセッサの担当する画像信号に集中的に現れる可能性は低く、1つの区分画面の部分画像信号に対する処理時間が長くなってしまっても、他の区分画面の区分画像信号に対する処理時間が短ければ1フレームの処理時間は平均化される。また、符号化処理は全体の単位プロセッサが新たな画面の始まりを待って行い、出力バスへの符号化信号の送出と入力画像補助信号の他単位プロセッサへの転送は、全単位プロセッサの終了時に実行されるため、あるフレームの符号化処理が入力周期を越えた場合でも、入力周期内で処理できる他のフレームで吸収することが可能で、フレーム処理全体からみて処理時間の平均化が行われる。

請求項4記載のマルチプロセッサ型動画像符号

化装置においては、一画面を複数の部分画面に分割し、各部分画面を専用の単位プロセッサで処理し、この処理では符号化／復号化済部分画面信号を自らの単位プロセッサ内の格納部に格納すると同時に、他の単位プロセッサからも参照する必要がある部分の信号に関し、他の単位プロセッサからもアクセスの可能な共用格納部にも同時に格納し、これにより符号化処理時に、他の単位プロセッサが共用格納部に書き込んだ符号化／復号化済部分画面信号も使用できるようにすることにより、部分画面の分割数を処理時間の平均値に基づいて決定し、処理時間が平均値より長い場合には、入力部分画面信号の入力速度を落すようにし、これにより使用する単位プロセッサの数を減らすようとする。

なお、以下に詳述する第1～第5の実施例と各請求項との関連を以下に示す。

第1及び第2の実施例：請求項1記載のマルチプロセッサ型動画像符号化装置

第3の実施例：請求項2記載のバス制御方法

単位プロセッサモジュール11を制御するために必要な情報である種々のタスク処理に関する過去の履歴、現在の状況及び今後の予測等が格納されている。

また、9は複数バッファ構成で一面は入力データを書き込む回路に解放されかつ他面は単位プロセッサに解放されて書き込みと読み出しが非同期で行える入力フレームメモリ、10a～10nは各単位プロセッサモジュール11に接続されて局部復号データまたは符号化途中のデータおよびパラメータを記憶する共有メモリである。これら入力フレームメモリ9、共有メモリ10a～10nはそれぞれメモリバス13、14a～14nを介して単位プロセッサモジュール11a～11kに接続されている。なお、15はI/Oバス、16はマルチプロセッサモジュールである。

第2図は第1図で示した単位プロセッサモジュール11の構成を示すブロック図であり、同図において、17は符号化プログラムが書かれた命令メモリ、18は制御バス12を介して外部から送

第4の実施例：請求項3記載のマルチプロセッサ型動画像符号化装置

第5の実施例：請求項4記載のマルチプロセッサ型動画像符号化装置

【実施例】

以下、この発明の第1～第5の実施例について述べる。なお、第1～第3の実施例は従来例1に対応した実施例であり、第4、第5の実施例は従来例2に対応した実施例である。

第1図はこの発明の第1の実施例であるマルチプロセッサ型動画像符号化装置の構成を示すブロック図である。同図に示すように、タスク制御部7は単位プロセッサとその周辺回路とにより構成されている各単位プロセッサモジュール11a～11k（以下、総称する場合、単に「11」とする）に制御バス12（従来例1のVMEバス5に相当）を介して接続されており、タスクテーブル8を参照して各単位プロセッサモジュール11にブロック位置および処理タスク内容をコマンドで指示する。タスクテーブル8はタスク制御部7が

られる割り込み信号102を調停して単位プロセッサ3に浮け渡すと共に単位プロセッサ3のローカルバス19からアドレス及びデータ104を受けとてこれをデコードして割り込み信号を発生して制御バス12に送出する割り込み制御部である。

また、20は制御バス12と単位プロセッサ3との間でコマンドデータを受け渡すコマンドポート、21a～21n+2はメモリバス13、14a～14nと単位プロセッサ3との間に設けられた双方向バッファであり、単位プロセッサ3の指示により出力イネーブルおよび方向が制御される。22は単位プロセッサ3のローカルバス19に接続されたローカルRAM、23は単位プロセッサ3が実行する符号化において使用する符号化パラメータ等が書き込まれたローカルROMである。

このような構成において、入力フレームメモリ9の一方の面に入力データ100をフレーム単位で書き込み、かつ他方の面から既に書き込み済みの入力データをフレーム単位で読み出す。

そして、タスク制御部7は入力フレームメモリ9からのフレーム同期パルス103により入力フレームメモリ書き込み終了を知り、タスクテーブル8を参照して符号化処理との調停を行い、必要に応じて入力フレームメモリ7のバッファ切り替えを禁止する。

タスク制御部7は符号化に際してタスクテーブル8を検索し、各単位プロセッサモジュール11a～11kに対する最適な処理ブロックおよび処理タスクを判定し、これらをコマンドとして制御バス12を介して各単位プロセッサモジュール11a～11kに通知し、各単位プロセッサモジュール11a～11kはコマンドを解読して指示された処理を実行する。

更に、各単位プロセッサモジュール11a～11kは指示された処理を終了するごとにタスク制御部7に処理終了を通知し、次の指示を受けとるまで待機状態となる。

なお、処理タスクは、例えば共有メモリ10a～10nからのデータ転送、8×8画素ブロック

タスク制御部7は単位プロセッサ3に指示するタスクを決定し、処理ブロック位置、処理ブロックサイズ、処理内容、ブロックの属性等をコマンドポート20に書き込み、割り込み制御部18に割り込みをかける。

それから、割り込み制御部18は単位プロセッサ3に割り込み信号102を出力し、該単位プロセッサ3は該コマンドポート20を読み、コマンドを解読して指示されたタスクに従い、必要なならば、双方向バッファ21a～21n+2を開いて共有メモリ10a～10nをアクセスし、またはローカルRAM22やローカルROM23をアクセスして処理を実行する。

そして、処理が終了すると、単位プロセッサ3はタスク制御部7に渡すデータを書き込み、所定のアドレス104を出力して待機状態となる。

そして、割り込み制御部18はアドレス104をデコードして割り込み信号を発生して制御バス12に送出する。

例えば、説明を簡略化するために、第3図に示

のDCT演算といった細かい処理単位のものから、これらを組み合わせたり、処理ブロックサイズを拡張したものなどである。また、組み合わせタスクの場合に、単位プロセッサモジュール11a～11kが処理の途中で共有メモリ10a～10nをアクセスする必要が生じたときには、単位プロセッサモジュール11a～11kからタスク制御部7に共有メモリアクセス要求を出力し、要求に対する許可が与えられるまでは待機状態となる。

この時、各共有メモリ10a～10nと単位プロセッサモジュール11a～11kとの間にはそれぞれ独立して設けられた複数のメモリバス13、14a～14nが設けられているため、バスネックの生じる確率は低い。例えば、第6図の3つの単位プロセッサモジュール#1～#3から3つの共有メモリへのアクセス状況を示す説明図に示すように、各共有メモリにはそれぞれ独立して設けられた3つのメモリバスa～cを介してアクセスできるためバスネックがほとんど生じていない。

一方、単位プロセッサ3は最初待機状態にあり、

すように、単位プロセッサが3個、符号化処理が2種類のタスク処理の場合、タスク制御部7は単位プロセッサ#1～単位プロセッサ#3に対して領域をA、B、Cの3領域に分割してタスク1処理を指示し、タスク1の結果から領域Bのタスク2処理に要する演算量が多いことを判断し、領域Bを更に細分化して各単位プロセッサに処理を指示する。つまり、第4図に示すように、従来であれば単位プロセッサ#2が実行すべきタスクT2'を単位プロセッサ#1及び単位プロセッサ#3に分散し、処理済みの単位プロセッサ#1及び#3の待ち時間を減少して処理効率を高める。

なお、上述実施例においては、タスク制御部7は独立していたが、これに限らず、単位プロセッサの一つにその機能を持たせてタスク制御部7を省略しても良い。

また、システムの規模、スペックによっては、タスク分割を行わず、単に領域を細かいブロックにし、処理の終った単位プロセッサに、次々に新たなブロックを割り当てるといった制御だけでも

有効である。

なお、上述の第1の実施例においては、マルチプロセッサ型動画像符号化装置の単一のマルチプロセッサモジュール16を用いて説明したが、これに限らず、第5図に示すように、単位プロセッサモジュール16を16a～16mと数個直列に接続してパイプライン処理しても良い。第5図中、25a, 25b…は各タスク制御部7を結ぶポート、26a, 26b…は各単位プロセッサモジュールのI/Oバス15に接続された2ポートメモリである。

第7図はこの発明の第2の実施例であるマルチプロセッサ型動画像符号化装置を示すブロック図である。同図に示すように、第1の実施例の構成に加えてメモリバス制御テーブル24がタスク制御部7からアクセス可能に設けられている。メモリバス制御テーブル24はメモリバス13、14a～14nの利用状況、単位プロセッサモジュール11のタスク優先順位等が書き込まれている。なお、他の構成は第1の実施例と同様であるため

うことができる。

第8図及び第9図はこの発明の第3の実施例であるマルチプロセッサ型動画像符号化装置におけるメモリバスの制御方法を示すブロック図及びタイムテーブルである。

第8図において、外部回路よりもたらされる入力データ100は、共有メモリ2に1フレーム分書き込まれ、書き込みが終了すると、タスク制御部7に書き込み終了信号30が出力される。

バス制御部37は、単位プロセッサ3a～3hからの共有メモリアクセス要求を調停して、共有メモリアクセス許可を指示する。各単位プロセッサ3a～3hは、タスク制御部7との間で、共有メモリアクセス要求信号及び、バス制御部37から各単位プロセッサ3a～3hへの共有メモリアクセス許可信号32a～32hのやり取りをし、メモリバス6を介して共有メモリ2との間の入出力データ信号及び制御信号33a～33hのやり取り、バス制御部37との間で、共有メモリアクセス許可信号35a～35hのやり取りを行う。

説明は省略する。タスク制御部7はこのメモリバス制御テーブル24を適宜更新しながら、新たに共有メモリ10a～10nのいずれかにアクセス要求があった場合、このメモリバス制御テーブル24を参照し当該共有メモリへのアクセスに使用するメモリバスが空き状態であるか否かを判定し、空き状態であれば使用許可信号を出力してそのアクセス要求を許可し、使用状態であれば空き状態になるまで待機させ、使用状態になると使用許可信号を出力してアクセス要求を許可する。また、2つ以上の単位プロセッサモジュール11から使用状態の同一メモリバスにアクセス要求が生じた場合、次に空き状態になる際、メモリバス制御テーブル24に書き込まれた単位プロセッサモジュール11のタスク優先順位に基づき、優先順位の高い単位プロセッサモジュール11のアクセス要求を優先的に許可する。

このような構成の第2の実施例のマルチプロセッサ型動画像符号化装置は第1の実施例の効果に加えて、メモリバスのアクセス制御を効率的に行

共有メモリ2は、メモリバス6との間で、入出力データ及び制御信号34のやり取りをする。又、伝送データ101はメモリバス6を介して出力される。

次に動作について第8図を参照して説明する。本例は並列構成の各単位プロセッサ3a～3hに可変の領域とタスクを随時割振るタスク分散型並列処理の例である。

入力データ100は外部の回路により共有メモリ2に1フレーム分書き込まれ、タスク制御部7に書き込み終了信号30が出力される。タスク制御部7は、前フレームの符号化終了と、入力データ書き込み終了の条件がそろった時点で、次フレームを処理ブロックに分割し、並列構成の単位プロセッサ3a～3hに順次指示を出力して割振る。各単位プロセッサ3a～3hは、それぞれ命令メモリに書き込まれた、あらかじめ定められたプログラムにしたがって、タスクを順番に処理し、目的の処理が終了した時点でタスク制御部7に処理終了を通知する。これをくり返すことにより動画像

符号化を順次実行していく。このとき、各単位プロセッサ3a～3hが共有メモリアクセスのタスクを行うときには、処理終了前に、バス制御部37に共有メモリアクセス要求を出力する。バス制御部37は、メモリバス6の使用状態を判定し、空き状態なら即座に単位プロセッサ3a～3hに使用許可信号を出力し、使用中なら空き状態になるのを待ってから使用許可信号を出力するといったバス調停を行う。

ところで、各単位プロセッサ3a～3hの命令メモリには、共有メモリアクセスを行うデータ転送タスクと、転送したきたデータを演算し符号化を実行する演算タスクとが交互に書き込まれているが、第3の実施例においては、既に共有メモリ2または単位プロセッサ3a～3hの内部メモリに存在しているデータの転送タスクが次に来る場合には、直前の演算タスクが終了する一定時間前の時点に、次の転送タスクがくるように配置している。

第9図は、第8図において3個の単位プロセッ

サが終了する時刻t6まで待ち状態となり、t6からデータ転送を実行する。

このように、この第3の実施例によれば、第1及び第2の実施例と異なり、複数の単位プロセッサ3が单一のメモリバス6を介して時分割でアクセス可能な共有メモリ2に連係されている従来同様のメモリバス構成であっても、バス制御において、各単位プロセッサ3は、処理終了よりも一定時間前に共有メモリアクセス要求を発し、これに対し、優先順位の最も高い単位プロセッサ3から優先的に共有メモリアクセス許可を指示するバス制御方法を採用することにより、単位プロセッサ3の待ち状態はほとんどなくなり、待ち状態が生じても極めて短時間であるので、処理効率の良いものとなる。

なお、上記第3の実施例ではタスク分散型並列処理の例を示したが、この発明は上記実施例に限定されるものではなく、固定領域分割型並列処理の場合でも、あるいは単位プロセッサ3を直列に2ポートメモリをはさんで接続したバイオペリン

サ3a、3b、3cの並列構成（図中#1～#3で表示）をとり、バス競合が起った場合の各単位プロセッサ#1～#3の処理例であり、横軸には時間が示してある。なお、バスアクセス優先順位は#1、#2、#3の順である。第9図において、単位プロセッサ#1はタスク1が終了する(t8～t4)時間前にタスク2を実行するためのデータ転送タスクを実行し、その後タスク1の残りの処理を行い、タスク1が終了した時刻t6で、時刻t1からt4の期間に転送されたデータを使ってタスク2の実行に移る。単位プロセッサ#2は時刻t2で転送要求を出したが、バス競合のため続けてタスク1を実行し、時刻t4でバス使用許可を受取り、期間t4～t6においてタスク2を実行するためのデータ転送を行い、転送が終了した時刻t6からタスク1の残りの処理を行う。単位プロセッサ#3は時刻t3で転送要求を出したがバス競合のため、続けてタスク1を実行し、タスク1を終了してから、単位プロセッサ#3より優先順位の高い単位プロセッサ#2のデータ転送

処理の場合でも、複数の単位プロセッサ3が共有メモリ2をアクセスする時にバス競合が生じるような構成の場合は有効である。

また単位プロセッサの個数は、2個以上の任意の個数で有効である。

第10図はこの発明の第4の実施例であるマルチプロセッサ型動画像符号化装置を示すブロック図である。同図において、単位プロセッサ#1(41)～#3(43)はローカルバス59で接続された取込み部55、処理部56および出力部57の他に格納部58を有し、この格納部58は後述する区分画面No1～No9の部分画面信号の符号化・復号化済信号（データ）をそれぞれ格納する格納領域を有している。

単位プロセッサ#1～#3は第11図の9個の区分画面No1～No9を担当する。即ち、両面は上下に9区分されており、単位プロセッサ#1(41)は区分画面のNo1、No4およびNo7を、単位プロセッサ#2(42)は区分画面のNo2、No5およびNo8を、単位プロセッサ#3(43)は区

分画面の処理部 3、処理部 6 および処理部 9 を担当する。60 は転送制御部であり、共通バス 61 と単位プロセッサ #1 ~ #3 間のデータ転送の制御を行う。なお、第4の実施例における単位プロセッサ #1 ~ #3 の取込み部 55 は処理 N フレームに関する部分画面信号の取り込み中に処理 (N-1) フレームに関する部分画面信号がデータ処理のために読み出されるので、読み書きが同時に可能な構成（例えば、ダブルバッファ構成）を取っている。

次に、第4の実施例の動作を第12図に示す動作タイミング図を参照して説明する。

各単位プロセッサ #1 ~ #3 入力バス 51 上の入力画像信号（第1のフレームとする）から自己が分担する部分画面信号を取り込み部 55 へ読み込み、各単位プロセッサ #1 ~ #3 の処理部 56 は第1フレームの読み込みが終了すると同時に一齐に読み込み部 55 から読み出して前記した処理を開始する。単位プロセッサ #1 を例にとって説明すると、第1.1図の区分画面処理 1 に対する処理を行い、その結果としての符号化信号を出力部 57 に、入力画

像補助信号（符号化・復号化済部分画面信号）を格納部 58 にローカルバス 59 を通して格納し、引続ぎ、部分画面処理 4、部分画面処理 7 に対する処理を行う。1フレーム内における単位プロセッサ #1 の全処理時間は処理 1、処理 4 および処理 7 の3個の区分画面の処理時間の合計となる。これらの部分画面は互いに不連続であるため、互いに相関は薄い。例えば、第1.2図に示すように、部分画面処理 4 に対する処理時間が長くなつても、部分画面処理 1、処理 7 に対する処理時間は短い場合が多く、処理時間合計は全体として平均化されることになり、1フレームの入力周期に対し、余裕をもつて処理を終了させることができる。単位プロセッサ #1 の処理部 56 が処理を終了した時、格納部 58 には、第1.4図に示す如く、部分画面信号の符号化・復号化済部分画面信号が格納されていることになる。単位プロセッサ #2 および #3 においても同様であり、単位プロセッサ #1 ~ #3 が第1のフレームに対する処理を終了すると、転送制御部 10 は各単位プロセッサ #1 ~ #3 から、第

1.6図に示す如く、順次、符号化・復号化済部分画面信号を連続して共通バス 61 上に読み出し、この転送開始に合わせて、処理結果として符号化信号が出力バス 53 上に送出される。各単位プロセッサ #1 ~ #3 は、他の単位プロセッサの処理データのうち、次の画面フレームの処理のために必要なデータが共通バス 61 上にある場合には、該データを格納部 58 に取り込む。仮に、各区分画面の処理のために隣接する区分画面の符号化・復号化済部分画面信号が必要である場合、読み込み終了後は、格納部 58 には第1.5図に示す如く、区分画面処理 1 ~ 処理 9 に関する符号化・復号化済信号が格納されていることになる。

この共通バス 61 を通しての符号化・復号化済部分画面信号の転送は単純なメモリ間転送であるから入力画像信号の入力周期（1/30、1/15、1/10秒等）に比して高速に行うことができ、第1.2図に示すように、第2のフレームの画像信号の入力中に第1のフレームに対する処理及び共通バス 61 を用いた転送を終了させることができ

でき、第2のフレームの入力開始時点で、第2のフレームに対する処理が開始される。

第1フレームの処理時間と共通バス 61 により前記入力画像補助信号である符号化・復号化済部分画面信号の転送時間の合計が入力画像信号の入力周期を越えた場合は、第1.3図に示すように、上記転送の終了後の第2のフレームの入力画像信号に対する処理が開始され、該入力画像信号に対する処理時間が短い場合には、第3のフレームの入力画像信号の読み込みが終了する時点までに第2のフレームの入力画像信号に対する処理と転送を終了させることができ、第1と第2のフレームの入力画像に対する処理をフレーム相互間で平均化することができるので、第1のフレームの処理で生じた上記処理遅れが第3のフレームの処理に影響することなくなる。

第4の実施例のタスク実行処理は1台の単位プロセッサが複数の区分画面の画像信号を担当し、かつ区分画面が互いに連続しない離れた領域であり、1画像フレームに画像性質の局所的な偏り

(処理すべきデータ量の確密)が発生しても、1つの単位プロセッサの区分画面に集中して現れる度合いは低くなり、1つの区分画面の部分画像信号に対する処理時間が長くなってしまっても、他の区分画面の区分画像信号に対する処理時間が短い場合には、1フレーム内における処理時間は平均化されることになるため、高い確率で1フレーム分の入力画像信号の入力周期以内で処理することができる。

さらに、単位プロセッサが新たな画面の始まりを持って行い、また出力バスへの符号化信号の送出と入力画像補助信号の他単位プロセッサへの転送は、全単位プロセッサの終了時に実行されているため、あるフレームにおいて、入力画像信号の入力周期以内で処理できなくとも、入力画像信号の入力周期以内で処理できる他のフレームで吸収することにより、全フレームの処理から見れば1フレーム分の入力画像信号の入力周期以内で処理することができる。

第17図はこの発明の第5の実施例であるマル

チプロセッサ型動画像符号化装置を示すブロック図である。同図において、51は入力部分画面信号の入力バス、53は出力バス、41、42及び43は単位プロセッサであり、内部に処理部56、入力部分画面信号を2フレーム分格納可能な取込部72、符号化／復合化済部分画面信号のうち、一部を格納する共用格納部71、符号化／復号化済部分画面信号の格納部58、符号化結果の部分符号化信号を出力する出力部57並びにこれら各部56、57、58、71及び72のデータ転送用のローカルバス59を有している。なお、70はそれぞれ複数の単位プロセッサ41～43を制御する制御部である。第5の実施例では、従来例2と同様に、両面全体を第26図に示すように部分画面A、B、Cに3分割し、それぞれに専用の単位プロセッサ41、42及び43を割り当てて処理を行うものである。

次に動作について説明する。

入力バス51には第18図のタイミング図に示すように、入力部分画面信号S1～S3が時分割

で供給される。また、入力部分画面信号S1～S3の取込部72は読み書きが同時に可能なダブルバッファ構成となっており、入力バス51上には一定周期で入力部分画面信号S1～S3がよどみなく流れてくるので、ダブルバッファのどちらか一方は必ず書き込み側に接続され、すべての入力フレームが必ず取り込まれる。いま、mフレームの入力部分画面信号S1～S3が入力されると、制御部70は各単位プロセッサ41～43の動作を監視し、すべての単位プロセッサ41～43がmフレームの入力を終了した時点で、すべての単位プロセッサ41～43に処理の開始を通知する。各単位プロセッサ41～43が処理に要する時間は、入力部分画面信号S1～S3に依存して異なる。ここではmフレームに関して単位プロセッサ41の処理が最も長い時間を要している。制御部70は全単位プロセッサの処理が終了すると、各単位プロセッサ41～43の出力部57から符号化信号を出力バス53に出力するよう順次指示を与える。同時に、制御部70はm+1フレームの

入力状態を監視し、全単位プロセッサへの入力が終了した時点で、全単位プロセッサにm+1フレームの処理の開始を通知し、上記と同様の処理を実行させる。ここで、単位プロセッサ41、43のm+1フレームに対する処理は、入力部分画面信号S1～S3の入力周期よりも長くなっているが、全単位プロセッサがm+1フレームの処理を終了した時点では、すでに全単位プロセッサへのm+2フレームの入力が終了しており、すぐにm+2フレームの処理を開始することができる。

次に、各単位プロセッサ41～43内部での処理について、単位プロセッサ41を例にとってmフレームの処理を開始する時点から説明を始める。但し、この時点ではすでにm-1フレームの部分画面Aに対応する符号化／復号化済部分画面信号が格納部58に格納されており、かつ隣接する部分画面Bの斜線部分で示すサブ領域82a(第26図参照)に対応する符号化／復号化済部分画面信号が共用格納部71に格納されているものとする。制御部70は取込部72から入力部分画面信

号 S 1 ~ S 3 をブロック状にして切り出し、格納部 58 および共用格納部 71 に格納されている 1 回面前の符号化／復号化済部分画面信号を用いた動き補償フレーム間符号化を行い、符号化出力を出力部 57 に出力し、同時に得られる符号化／復号化済部分画面信号を格納部 58 に格納する。この時、第 26 図のサブ領域 81a に相当する部分の信号は、単位プロセッサ 42 の次フレームの処理に必要となるので、単位プロセッサ 42B からもアクセス可能な共用格納部 71 に同時に格納される。

以上のような動作により、他の単位プロセッサの処理結果を共用格納部 71 から取り込むことにより、次フレームの処理に使用できる。しかも、第 18 図の $m + 1$ フレームの処理の部分のように入力部分画面信号 S 1 ~ S 3 の周期よりも処理時間が長い場合でも、前後の m および $m + 2$ フレームの処理時間との平均化を図ることができる。従って、処理時間が平均値より長い場合でも、入力部分画面信号の入力速度を落とすことにより使用

する単位プロセッサの数を削減することができ、安価に画像処理を実行できる。

なお、上記実施例では共用格納部 71 を隣接する単位プロセッサ 41, 42 間, 42, 43 間にそれぞれ 1 個配置した場合を示したが、3 個以上の単位プロセッサ 41 ~ 43 に対して 1 個の共用格納部 71 を設けてもよい。

[発明の効果]

以上説明したように、請求項 1 記載のマルチプロセッサ型動画像符号化装置によれば、タスク制御部により、画像を複数のブロックに分割し、単位プロセッサを制御するために必要な情報が格納されたタスクテーブルを参照して各単位プロセッサモジュールに対する最適な処理ブロックおよび処理タスクを判定し、複数の単位プロセッサモジュールに略々均等に処理タスクを分担させて符号化を行って待ち時間を短くしているため、効率の良い処理動作をすることができマルチプロセッサの処理能力を最大限に利用することができる。

また、請求項 2 記載のバス制御方法によれば、

各単位プロセッサは常に前の処理を終了するよりも一定時間前にバス使用要求を出すため、バス使用要求出力時にバス競合が起った場合でも、その単位プロセッサは待ち状態とはならず、前の処理の続きを実行するので、プロセッサの処理効率が低下しない。その結果、バス競合による処理効率の低下を最小限に抑えることができるため、マルチプロセッサの処理能力を最大限に利用することができる。

そして、請求項 3 記載のマルチプロセッサ型動画像符号化装置によれば、1 つの単位プロセッサが複数の区分画面の画像信号を担当し、かつ区分画面が互いに連続しない離れた領域であるため、1 画像フレームに画像性質の局所的な偏りが 1 つの単位プロセッサの担当する画像信号に集中的に現れる可能性は低く、1 つの区分画面の部分画像信号に対する処理時間が長くなってしまっても、他の区分画面の区分画像信号に対する処理時間が短ければ 1 フレームの処理時間は平均化される。加えて、符号化処理は全体の単位プロセッサが新たな画面

の始まりを待って行い、また出力バスへの符号化信号の送出と入力画像補助信号の他単位プロセッサへの転送は、全単位プロセッサの終了時に実行されており、例えあるフレームの符号化処理が入力周期を越えた場合でも、入力周期内で処理できる他のフレームで吸収することができる、フレーム処理全体からみれば処理時間の平均化を行うことができるため、画面性質の偏りに起因する処理能力の低下を最小限に抑えることができ、マルチプロセッサの処理能力を最大限に利用することができる。

さらに、請求項 4 記載のマルチプロセッサ型動画像符号化装置によれば、一画面を複数の部分画面に分割し、各部分画面を専用の単位プロセッサで処理し、この処理では符号化／復号化済部分画面信号を自らの単位プロセッサ内の格納部に格納すると同時に、他の単位プロセッサからも参照する必要がある部分の信号に関し、他の単位プロセッサからもアクセスの可能な共用格納部にも同時に格納し、これにより符号化処理時に、他の単位

プロセッサが共用格納部に書き込んだ符号化ノ復号化済部分画面信号も使用できるようにすることにより、部分画面の分割数を処理時間の平均値に基づいて決定し、処理時間が平均値より長い場合には、入力部分画面信号の入力速度を落すようにし、これにより使用する単位プロセッサの数を減らしているため、マルチプロセッサの処理能力を最大限に利用することができる。

4. 図面の簡単な説明

第1図はこの発明の第1の実施例によるマルチプロセッサ型動画像符号化装置の单一のマルチプロセッサモジュール構成を示すブロック図、第2図は第1図で示した単位プロセッサモジュールの構成を示すブロック図、第3図及び第4図は第1の実施例の各単位プロセッサのタスク処理動作の説明図、第5図は第1の実施例によるマルチプロセッサ型動画像符号化装置の複数マルチプロセッサモジュールの構成を示すブロック図、第6図は単位プロセッサモジュールのメモリバスアクセス動作を示したタイミング図、第7図はこの発明の

第2の実施例によるマルチプロセッサ型動画像符号化装置の单一のマルチプロセッサモジュール構成を示すブロック図、第8図はこの発明の第3の実施例であるマルチプロセッサ型動画像符号化装置におけるメモリバスの制御方法を示したブロック構成図、第9図は第3の実施例によるタスク処理例を示す説明図、第10図はこの発明の第4の実施例であるマルチプロセッサ型動画像符号化装置を示すブロック構成図、第11図は第4の実施例の単位プロセッサが担当する部分画面を示す図、第12図および第13図は第4の実施例の動作を示すタイミング図、第14図および第15図は第4の実施例における格納部の内部状態を示す説明図、第16図は第4の実施例における入力画像補助信号の転送順位を示す説明図、第17図はこの発明の第5の実施例であるマルチプロセッサ型動画像符号化装置を示すブロック図、第18図は第17図に示すブロック各部の信号を示すタイミング図、第19図は従来のマルチプロセッサ型動画像符号化装置の構成を示すブロック図、第20図

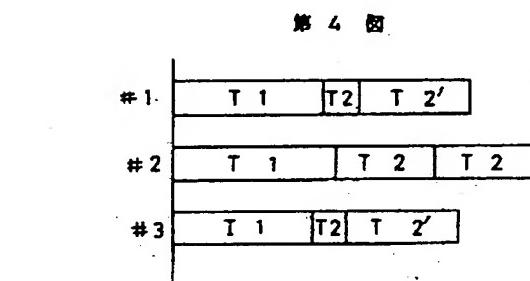
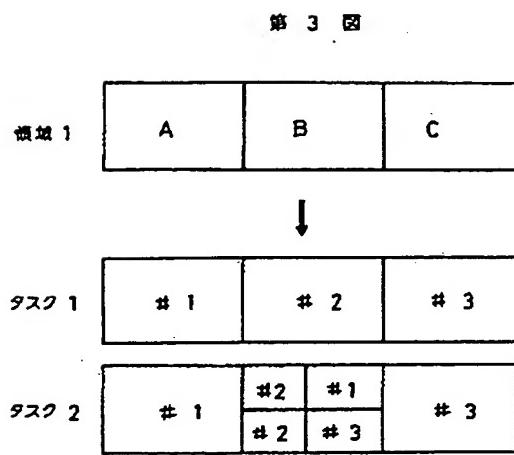
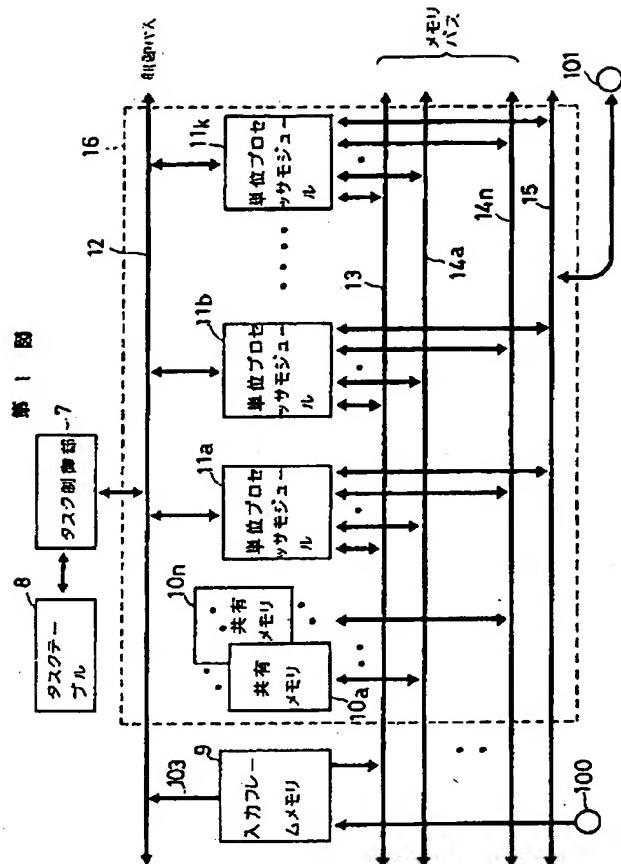
及び第21図は従来のマルチプロセッサ型動画像符号化装置の各単位プロセッサの動作の説明図、第22図は従来のマルチプロセッサ型動画像符号化装置を示すブロック構成図、第23図は第22図で示した従来例における単位プロセッサが担当する区分画面を示す説明図、第24図および第25図は第22図で示した従来例の動作を示すタイミング図、第26図は従来および第5の実施例における部分画面の分割例を示す説明図、第27図は第22図に示すブロック各部の信号を示すタイミングチャート図、第28図は動き補償フレーム間符号化方式における動作を示す説明図である。

図において、2は共有メモリ、3、3a～3hは単位プロセッサ、4a～4hはローカルメモリ、6はメモリバス、7、7a～7mはタスク制御部、8、8a～8mはタスクテーブル、9は入力フレームメモリ、10a～10nは共有メモリ、11a～11kは単位プロセッサモジュール、12は制御バス、13、14a～14nはメモリバス、16、16a～16mはマルチプロセッサモジ

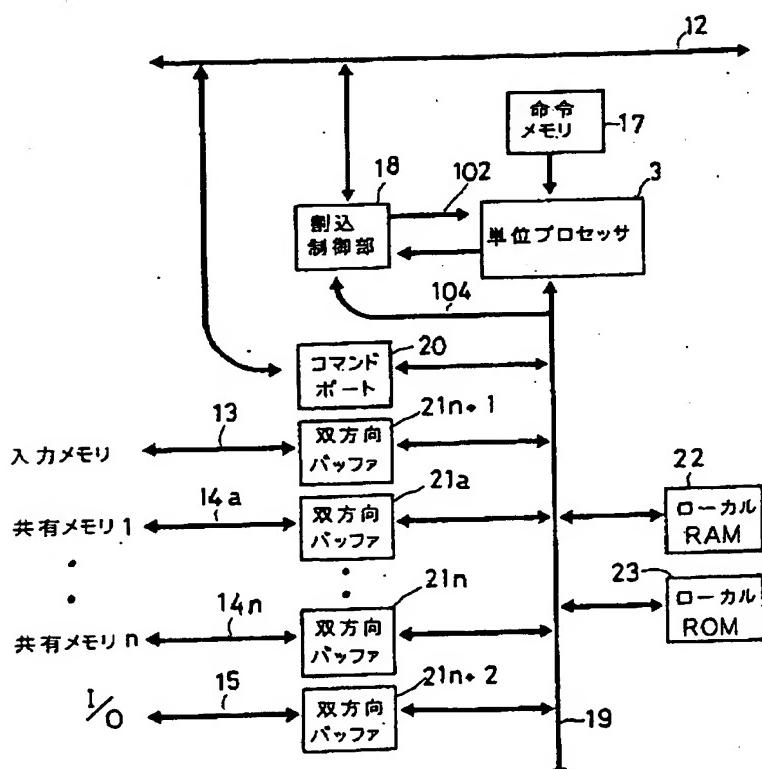
ュール、18は割り込み制御部、22はローカルRAM、23はローカルROM、24はメモリバス制御テーブル、37はバス制御部、4.1～4.3は単位プロセッサ、51は入力バス、55は取込み部、56は処理部、57は出力部、58は格納部、59はローカルバス、60は転送制御部、61は共通バス、70は制御部、71は共用格納部である。

なお、各図中同一符号は同一または相当部分を示す。

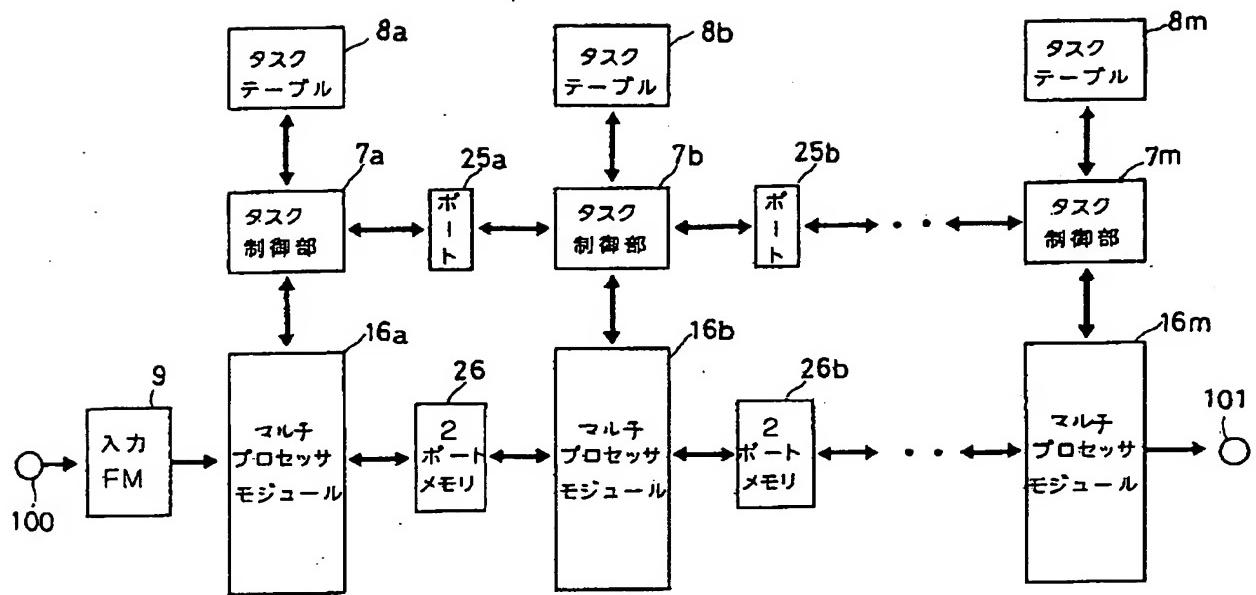
代理人 大岩 勝雄



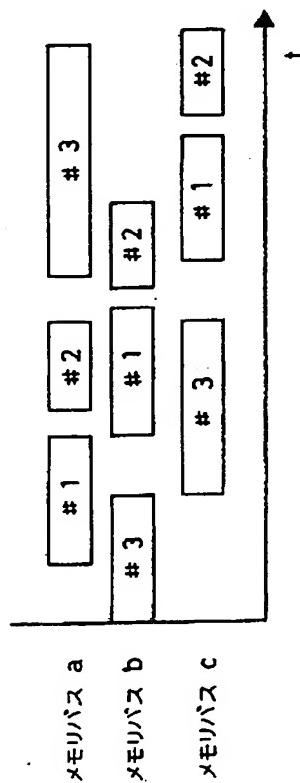
第 2 図



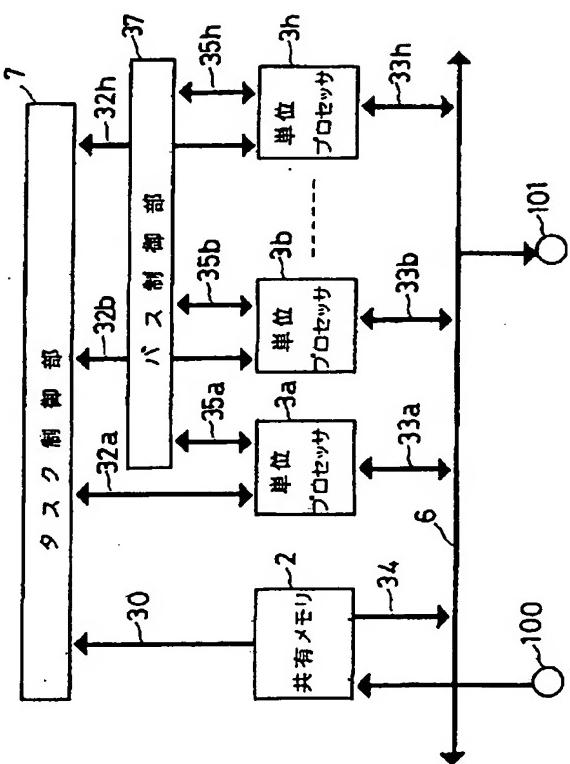
第5図



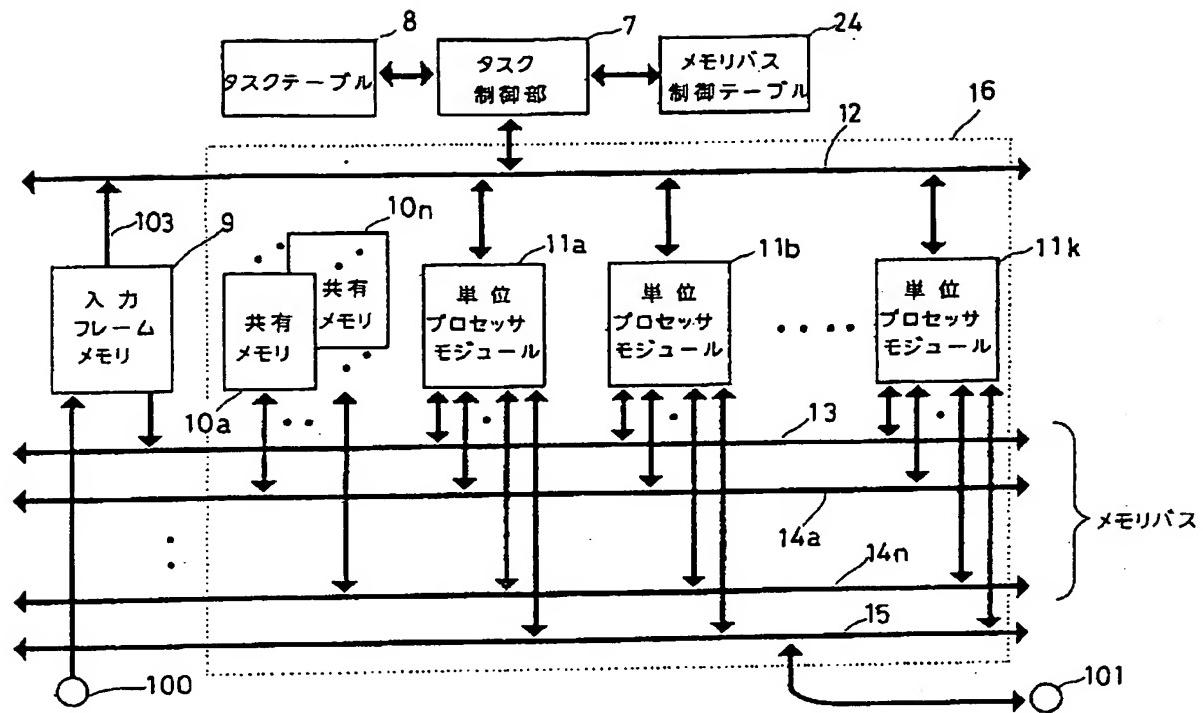
第6図



第8図

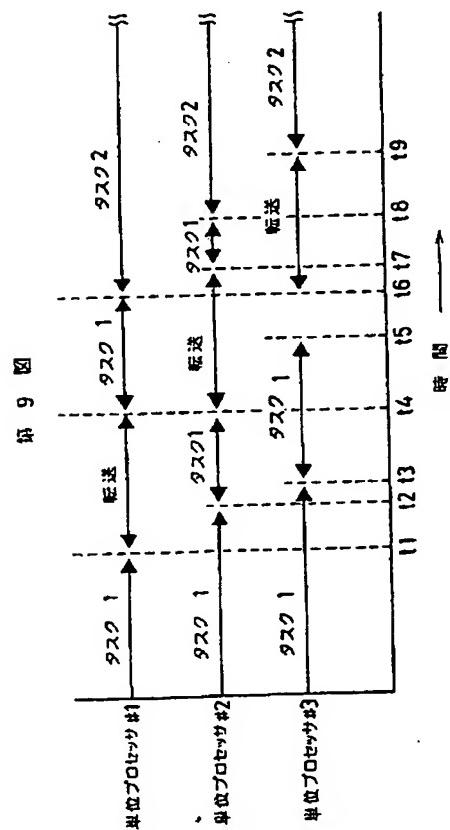


第 7 図

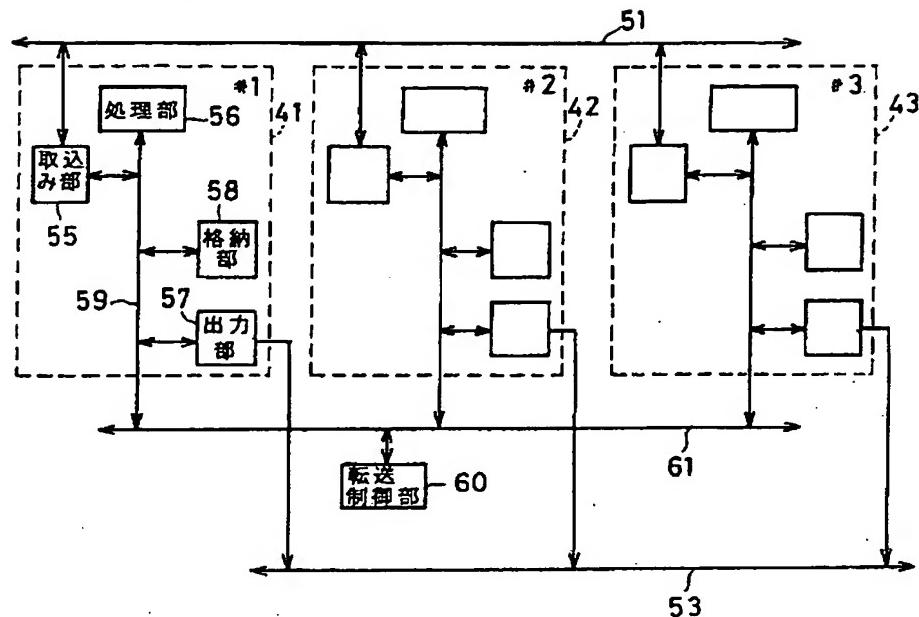


第 11 図

区分画面 NO	
2	# 1
3	# 2
4	# 3
5	# 1
6	# 2
7	# 3
8	# 1
9	# 2
	# 3

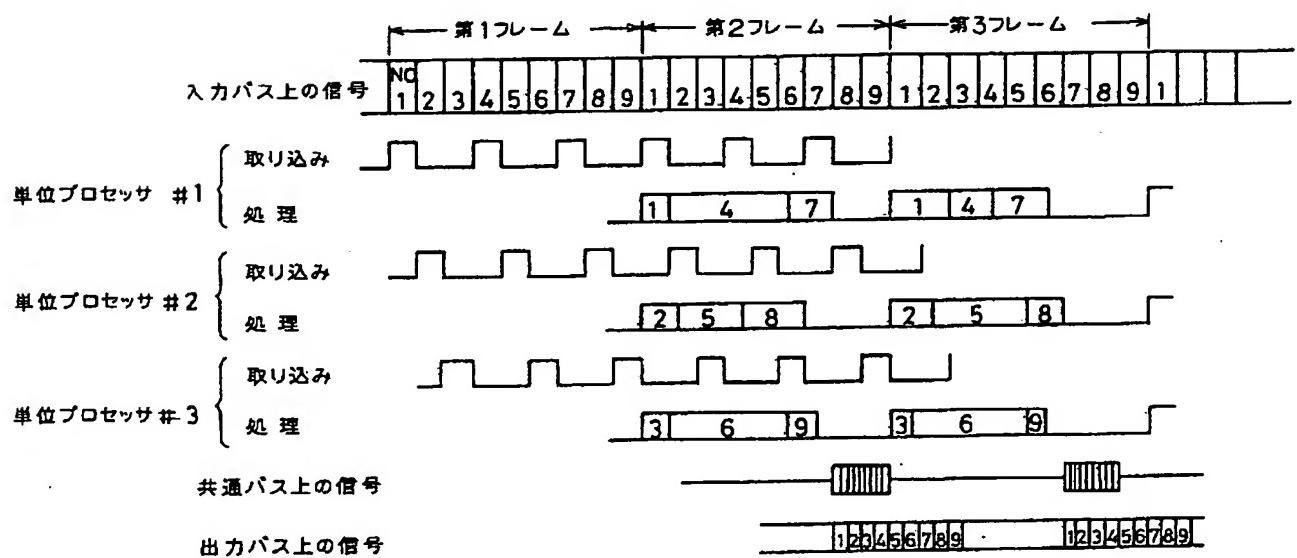


第 10 図

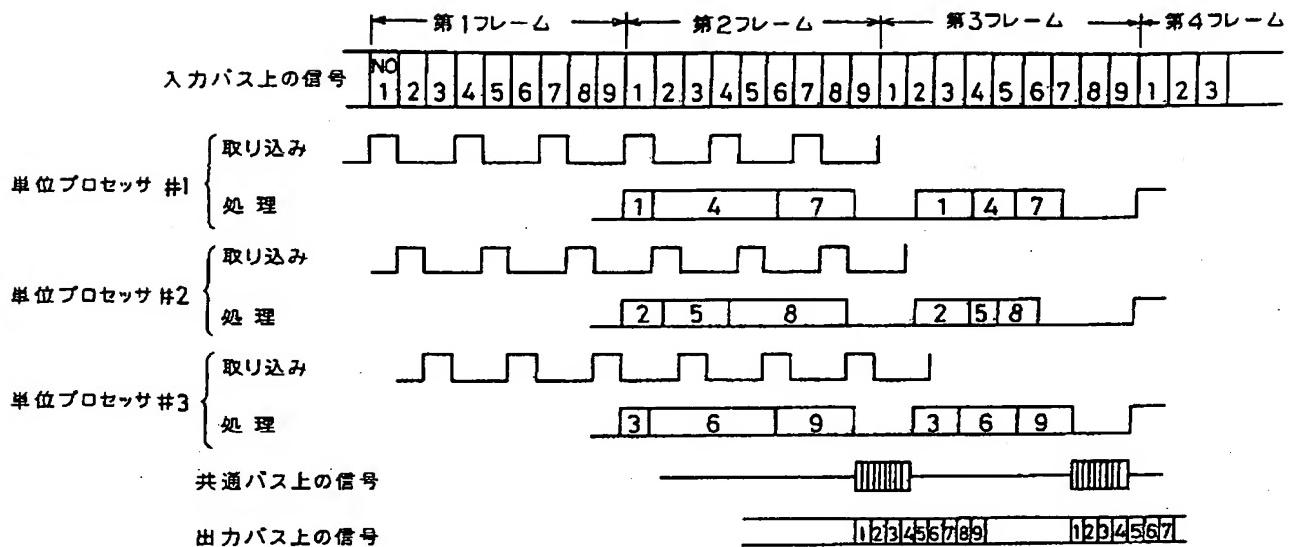


51:入力バス
59:ローカルバス
61:共通バス
41~43:単位プロセッサ

第 12 図



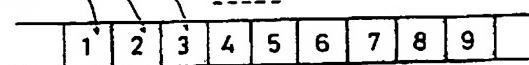
第 13 図



第 14 図

部分画面No1符号化復号化済信号
空
空
部分画面No4符号化復号化済信号
空
空
部分画面No7符号化復号化済信号
空
空

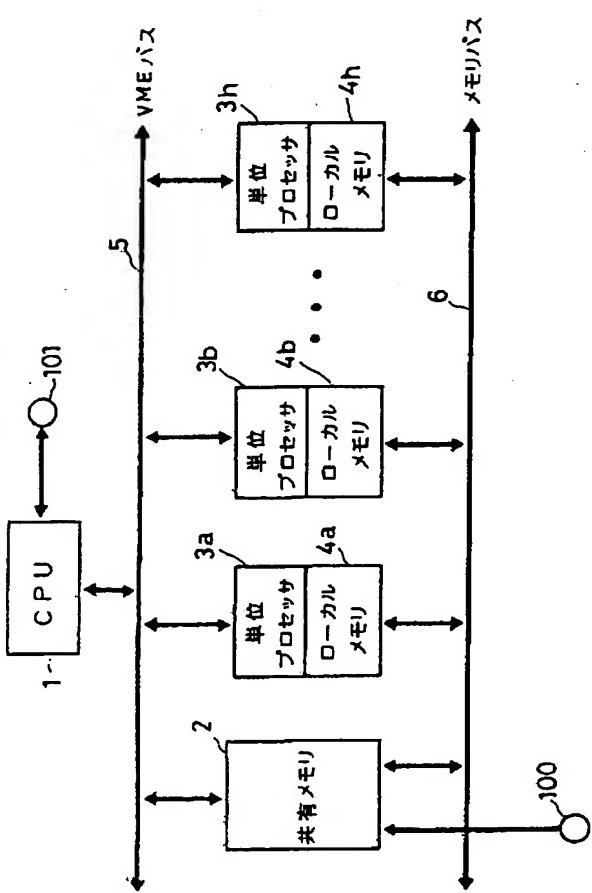
符号化復号化済部分画面信号



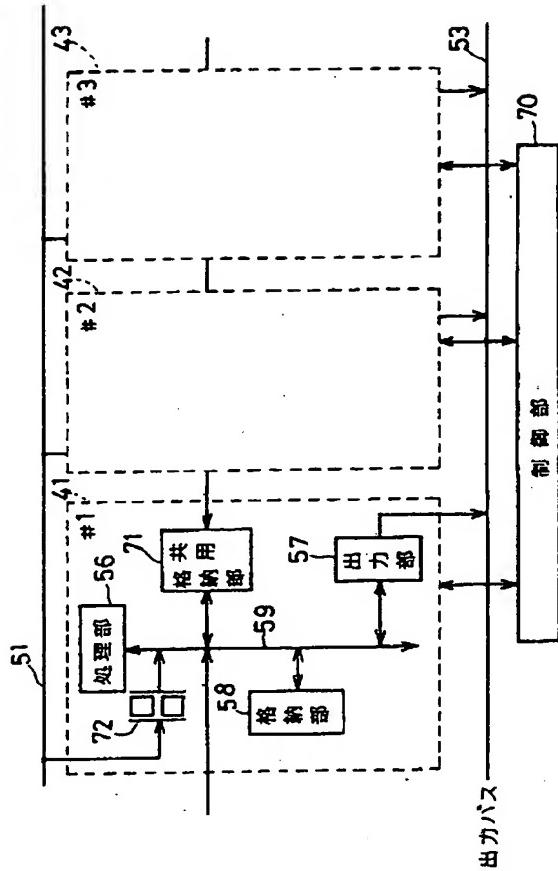
第 15 図

部分画面No1符号化復号化済信号
部分画面No2符号化復号化済信号
部分画面No3符号化復号化済信号
部分画面No4符号化復号化済信号
部分画面No5符号化復号化済信号
部分画面No6符号化復号化済信号
部分画面No7符号化復号化済信号
部分画面No8符号化復号化済信号
部分画面No9符号化復号化済信号

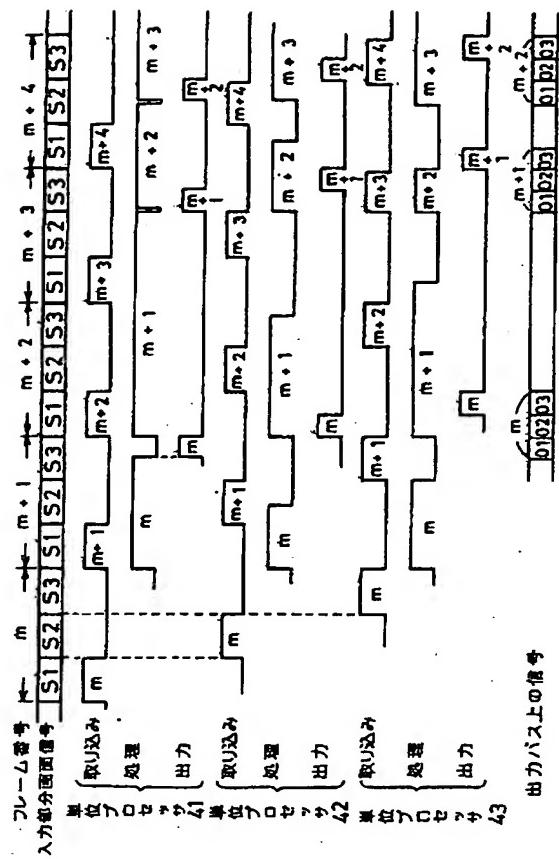
第 19 図



第 17 図



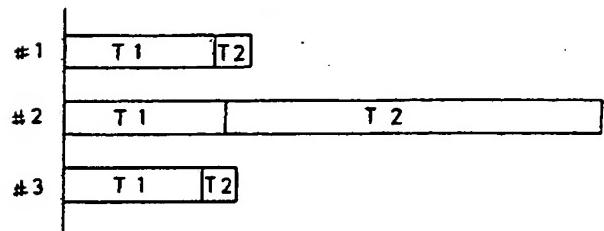
第 18 図



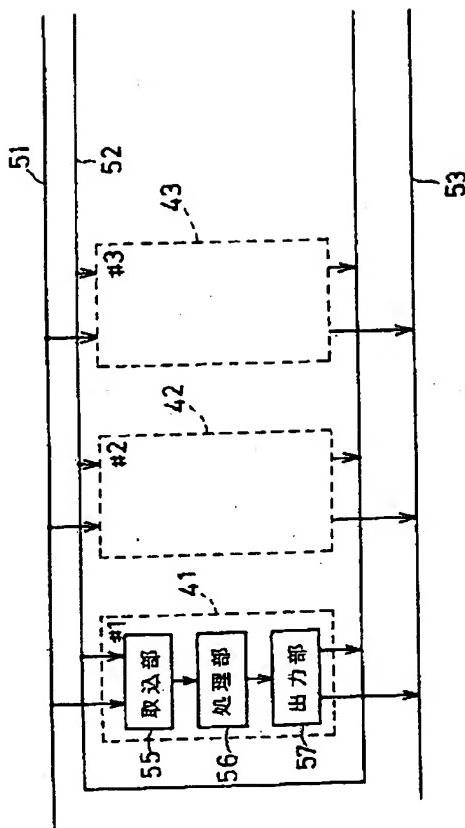
第 20 図

領域 1	A 1	B 1	C 1
領域 2	A 2	B 2	C 2
領域 3	A 3	B 3	C 3
# 1			
# 2			
# 3			

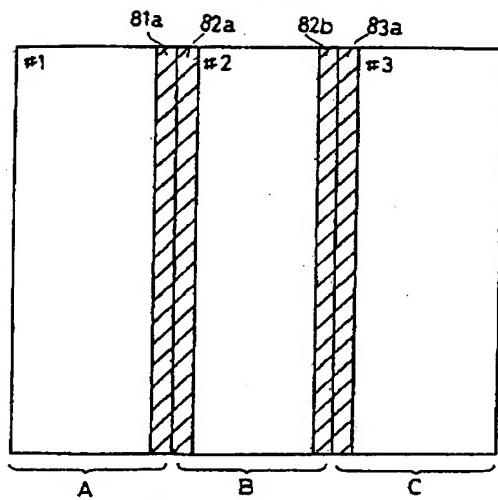
第 21 図



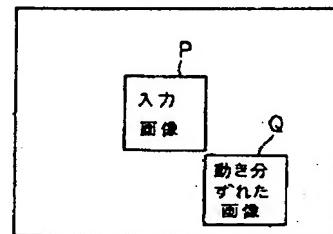
第 22 図



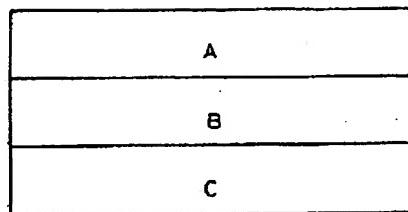
第 26 図



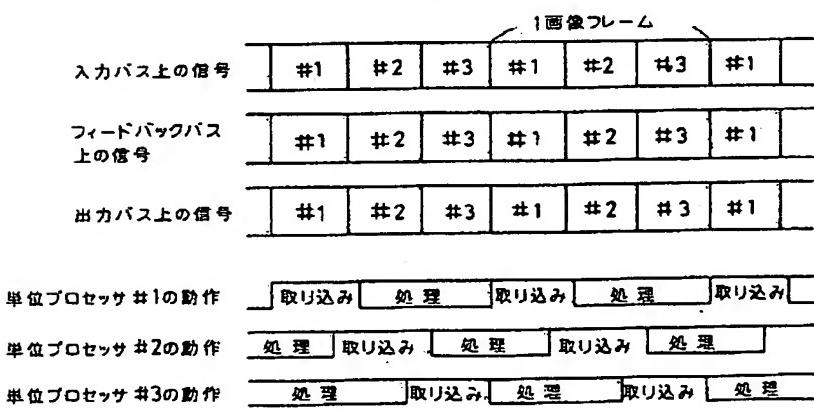
第 28 図



第 23 図



第 24 図



第 25 図

入力バス上の信号	#1	#2	#3	#1	なし	#2	#3
フィードバックバス 上の信号	#1	#2	#3	#1	なし	#2	#3
出力バス上の信号	#1	#2	#3	#1	なし	#2	#3
<hr/>							
単位プロセッサ #1の動作	取り込み	処理	取り込み	処理	待機		
単位プロセッサ #2の動作	処理	取り込み	処理	処理	取り込み	処理	
単位プロセッサ #3の動作	処理	取り込み	処理	待機	取り込み		

第 27 図

$\frac{1}{F} (\text{sec})$

入力部分画面信号	S1	S2	S3	S1	S2	S3	S1
フィードバックバス 52 上の信号	F1	F2	F3	F1	F2	F3	F1
出力バス 53 上の信号	01	02	03	03	02	03	01
<hr/>							
単位プロセッサ #1 の動作	取り込み	処理	取り込み	処理	取り込み		
単位プロセッサ #2 の動作	処理	取り込み	処理	取り込み	処理		
単位プロセッサ #3 の動作	処理	取り込み	処理	取り込み	処理		